

BEST AVAILABLE COPY**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 07-335735

(43)Date of publication of application : 22.12.1995

(51)Int.Cl.

H01L 21/76

(21)Application number : 06-123912

(71)Applicant : NIPPONDENSO CO LTD

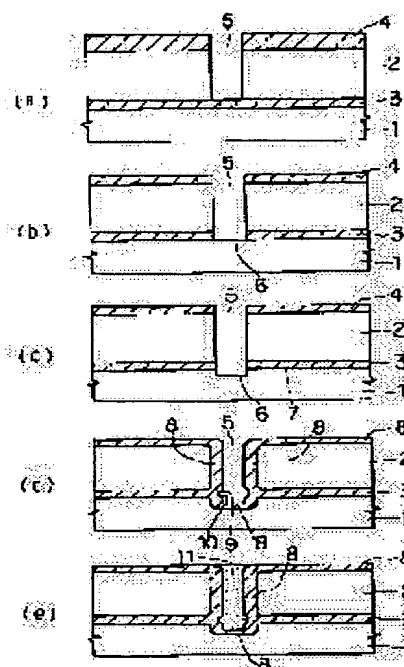
(22)Date of filing : 06.06.1994

(72)Inventor : HIMI KEIMEI
OKAYAMA YASUSHI
YAMAGUCHI HITOSHI**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(57)Abstract:

PURPOSE: To provide the manufacture of a semiconductor device, in which the lowering of isolation breakdown strength due to a constriction formed between a buried oxide film and a sidewall oxide film is prevented and elements having high breakdown strength are isolated.

CONSTITUTION: A silicon support substrate 1 and a silicon substrate 2 are joined through a buried oxide film 3, and an oxide film 4 as a mask is formed onto the surface of the silicon substrate 2. The silicon substrate 2, the buried oxide film 3 and the silicon support substrate 1 are etched by using the mask. The surfaces of the sidewalls of the silicon substrate 2 in an isolation groove 5 and the surface of the silicon support substrate 1 are oxidized through a thermal oxidation method, and oxide films 8 brought into contact with the buried oxide film 3 are formed onto the inwall sections of the isolation groove 5. Lastly, polycrystalline silicon 11 is buried into the isolation groove 5, and flattened.

**LEGAL STATUS**

[Date of request for examination] 28.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3319153

[Date of registration] 21.06.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

THIS PAGE BLANK (USPTO)

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The process which joins the 2nd semi-conductor substrate through the 1st insulator layer on the front face of the 1st semi-conductor substrate, The process which forms a mask on the front face of said 2nd semi-conductor substrate, and the process which forms the separation slot which etches said 2nd semi-conductor substrate using said mask, and reaches said 1st insulator layer, The process etched until it reaches said 1st semi-conductor substrate in said 1st insulator layer of said separation Mizouchi using said mask succeedingly, The process which etches said 1st semi-conductor substrate of said separation Mizouchi using said mask succeedingly, Oxidize the side-attachment-wall front face of said 2nd semi-conductor substrate of said separation Mizouchi, and the front face of said 1st semi-conductor substrate by the oxidizing [thermally] method, and said 1st insulator layer and the 2nd touching insulator layer are formed in the wall section of said separation slot. The manufacture approach of the semiconductor device characterized by having the process which forms in said 2nd semi-conductor substrate the component formation field by which insulating separation was carried out in said separation slot.

[Claim 2] The process which joins the 2nd semi-conductor substrate through the 1st insulator layer on the front face of the 1st semi-conductor substrate, The process which forms a mask on the front face of said 2nd semi-conductor substrate, and the process which forms the separation slot which etches said 2nd semi-conductor substrate using said mask, and reaches said 1st insulator layer, The process etched until it reaches said 1st semi-conductor substrate in said 1st insulator layer of said separation Mizouchi using said mask succeedingly, Oxidize the side-attachment-wall front face of said 2nd semi-conductor substrate of said separation Mizouchi, and the front face of said 1st semi-conductor substrate by the oxidizing [thermally] method, and said 1st insulator layer and the 2nd touching insulator layer are formed in the wall section of said separation slot. The manufacture approach of the semiconductor device characterized by having the process which forms in said 2nd semi-conductor substrate the component formation field by which insulating separation was carried out in said separation slot.

[Claim 3] Said mask is the manufacture approach of the semiconductor device according to claim 1 or 2 characterized by consisting of two or more mask layers so that it may become a different mask in said two or more etching processes.

[Claim 4] The process which joins the 2nd semi-conductor substrate through the 1st insulator layer on the front face of the 1st semi-conductor substrate, the front face of said 2nd semi-conductor substrate — this — through the 2nd semi-conductor substrate and said 1st insulator layer with the process which forms a separation slot until it reaches said 1st semi-conductor substrate at least Oxidize the side-attachment-wall front face of said 2nd semi-conductor substrate of said separation Mizouchi, and the front face of said 1st semi-conductor substrate by the oxidizing [thermally] method, and said 1st insulator layer and the 2nd touching insulator layer are formed in the wall section of said separation slot. The manufacture approach of the semiconductor device characterized by having the process which forms in said 2nd semi-conductor substrate the component formation field by which insulating separation was carried out in said separation slot.

THIS PAGE BLANK (USPTO)

[Claim 5] junction formation of the 1st semi-conductor substrate and the 2nd semi-conductor substrate is carried out through the 1st insulator layer — both The separation slot until it reaches said 1st insulator layer at least from the front face of said 2nd semi-conductor substrate is formed. The process which prepares the semi-conductor substrate which the 2nd insulator layer is formed in the side-attachment-wall front face of said 2nd semi-conductor substrate of this separation Mizouchi, and comes to form the edge section between said 1st insulator layer, The manufacture approach of the semiconductor device characterized by having the process which enlarges the radius of curvature of said edge section, and the process which embeds at said separation Mizouchi where the radius of curvature of said edge section is enlarged according to this process, and is filled up with a member.

[Claim 6] The process at which the process which prepares said semi-conductor substrate joins the 2nd semi-conductor substrate through the 1st insulator layer on the front face of said 1st semi-conductor substrate, the front face of said 2nd semi-conductor substrate — this — with the 2nd semi-conductor substrate and the process which forms a separation slot until it reaches said 1st insulator layer at least The manufacture approach of the semiconductor device according to claim 4 characterized by having the process which forms said 2nd insulator layer which oxidizes the side-attachment-wall front face of said 2nd semi-conductor substrate of said separation Mizouchi, and the front face of said 1st semi-conductor substrate by the oxidizing [thermally] method, and touches said 1st insulator layer at the wall section of said separation slot.

[Claim 7] The process which enlarges the radius of curvature of said edge section is the manufacture approach of the semiconductor device according to claim 5 or 6 characterized by being the process which etches into said separation Mizouchi.

[Claim 8] The process which enlarges the radius of curvature of said edge section is the manufacture approach of the semiconductor device according to claim 5 or 6 characterized by being the process which deposits polycrystalline silicon on said separation Mizouchi, and oxidizes it.

[Claim 9] Oxidation of said separation Mizouchi's polycrystalline silicon is the manufacture approach of the semiconductor device according to claim 7 characterized by being what performs only the part.

[Claim 10] The process which enlarges the radius of curvature of said edge section is the manufacture approach of the semiconductor device according to claim 5 or 6 characterized by being the process which forms a nitride in said separation Mizouchi.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

TECHNICAL FIELD

[Industrial Application] the thing about the manufacture approach of a semiconductor device that this invention was detached by the component — it is — especially — high — it is related with isolation [****].

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

PRIOR ART

[Description of the Prior Art] As it considers as the approach of carrying out insulating separation of between the components of a semiconductor integrated circuit and is shown in drawing 10 The SOI (Silicon On Insulator) structure substrate which has the sandwiches-like embedding oxide film 103 is used between the 1st semi-conductor substrate 101 and the 2nd semi-conductor substrate 102. The trench (separation slot) which embeds from the principal plane of the 2nd semi-conductor substrate 102, and results in an oxide film 102 is formed. After an appropriate time, the trench wall is covered with an oxide film 104 using the oxidizing [thermally] method etc., and what embeds the interior further, lays underground by the member 105, and was made to carry out flattening of the front face is proposed variously. Although many polycrystalline silicon is used in consideration of the coefficient of thermal expansion with a silicon substrate as this embedding member 105, the silicon oxide by CVD etc. can also be used. [0003] According to this approach, compared with the approach of separating between components using the PN junction by which the reverse bias was carried out, there is no leakage current, there is no dependency of an electrical-potential-difference polarity, and pressure-proof positive high separation can be performed. However, the 1st trouble of this approach is that the vena contracta (edge section) shown by O mark of drawing 1010 arises for the constraint which comes from a two-dimensional configuration in a trench pars-basilaris-ossis-occipitalis corner at the time of the oxidization inside a trench. The process which this vena contracta produces can be explained as follows. That is, in oxidization of a trench pars-basilaris-ossis-occipitalis corner, since the oxide film which grows perpendicularly from a trench side attachment wall to a wall, and the oxide film which grows upwards from a trench base meet in the corner section, growth of other oxide films is barred mutually in the location, cubical expansion is impossible, and, as a result, the vena contracta arises. Since when it comes to a sharp edge configuration electric-field concentration starts the tip of this vena contracta and it causes a pressure-proof fall from time, it is a problem.

[0004] Moreover, the 2nd trouble is that stress concentration happens with advance of oxidation in a trench pars-basilaris-ossis-occipitalis corner. It comes from constraint of a two-dimensional configuration like [this reason] the point. Since it will become a cause, a crystal defect will occur and the fall of the electrical property of a component will be caused if stress concentration breaks out, it is a problem. Moreover, there is an approach indicated by JP,5-80148,B as other separation approaches which similarly form a trench in a SOI substrate and carry out insulating separation of between components.

[0005] After forming a trench 106 so that this approach may be embedded as shown in drawing 11 , and an oxide film 103 may be reached (drawing 11 (a)) Only a suitable amount etches the mask and embedding oxide film which consist of an insulator layer used for etching using isotropic etching, and the silicon of the trench upper part and a pars-basilaris-ossis-occipitalis corner is exposed (drawing 11 (b)). The silicon of a part furthermore exposed is etched isotropic (drawing 11 (c)), and an oxide film is formed in a trench wall by the oxidizing [thermally] method after an appropriate time (drawing 11 (d)). By this approach, as a result of rounding off the trench corner section, it is effective in generating of a crystal defect being controlled.

[0006] However, as O mark shows this approach to drawing 11 (d), the sharp edge configuration

THIS PAGE BLANK (USPTO)

same in the place where the oxide film which was able to be scooped out, and which embedded and grew from the place of the corner of an oxide film meets with the oxide film which grew from the trench pars basilaris ossis occipitalis is formed as drawing 10 like the point showed. Therefore, also in this thing, electric-field concentration will take place like the point, and a pressure-proof fall will be caused.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

EFFECT OF THE INVENTION

[Function and Effect of the Invention] In invention according to claim 1, the 1st semi-conductor substrate and the 2nd semi-conductor substrate are joined through the 1st insulator layer, and a mask is formed on the front face of this 2nd semi-conductor substrate. And the 1st semi-conductor substrate is etched into the 2nd semi-conductor substrate, the 1st insulator layer, and a pan using this mask. And the side-attachment-wall front face of separation Mizouchi's 2nd semi-conductor substrate and the front face of the 1st semi-conductor substrate are oxidized by the oxidizing [thermally] method, and the 1st insulator layer and the 2nd touching insulator layer are formed in the wall section of a separation slot. Of this, the component formation field by which insulating separation was carried out in the separation slot is formed in the 2nd semi-conductor substrate.

[0016] Therefore, by oxidizing the separation slot formed even in the 1st semi-conductor substrate, it is formed so that the 2nd insulator layer formed in separation Mizouchi may cover to the 1st insulator layer smoothly and may cover it. Consequently, the sharp edge based on the vena contracta mentioned above is not formed, but it becomes possible to prevent a pressure-proof fall therefore. A separation slot until it reaches claims 2 and 4 through the 1st insulator layer in invention of a publication at the 1st semi-conductor substrate from the front face of the 2nd semi-conductor substrate is formed, and he oxidizes the side-attachment-wall front face of the separation Mizouchi's 2nd semi-conductor substrate, and the front face of the 1st semi-conductor substrate, and is trying to form the 1st insulator layer and the 2nd touching insulator layer in the wall section of a separation slot.

[0017] Therefore, by oxidizing the separation slot formed until it reached the 1st semi-conductor, the oxide film formed in the side-attachment-wall front face of the 2nd semi-conductor substrate is formed so that it may cover to the 1st insulator layer smoothly and may hang over it in the part which touches the 1st insulator layer. in this case, although the oxide film formed in the front face of the 1st semi-conductor substrate grows toward upper space and the sharp edge based on the vena contracta is formed between the 1st insulator layer, since this edge is separated from the 2nd corner and pars basilaris ossis occipitalis of a semi-conductor substrate beyond a distance equal to the thickness of the 1st insulator layer at least, the effect affect a proof-pressure fall can be suppressed .

[0018] The process which enlarges the radius of curvature of that edge section is established, where the radius of curvature of the edge section is enlarged according to this process, it embeds at separation Mizouchi, and he is trying to form a side-attachment-wall oxide film in the side-attachment-wall front face of separation Mizouchi's 2nd semi-conductor substrate, and to be filled up with a member in invention according to claim 5 to 10, to the semi-conductor substrate which comes to have the edge section between the 1st insulator layer.

[0019] Therefore, since the radius of curvature of the edge section is enlarged and it is made to be filled up with an embedding member after forming a side-attachment-wall oxide film etc. by not oxidization but oxidization after rounding off like the conventional approach mentioned above and processing, the electric-field concentration by separation Mizouchi's edge section can be eased, and high pressure-proofing-ization can be attained.

THIS PAGE BLANK (USPTO)

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

TECHNICAL PROBLEM

[Problem(s) to be Solved by the Invention] This invention was made in view of the above-mentioned problem, and aims at offering the approach of mitigating or protecting and manufacturing the semiconductor device detached by the component of high pressure-proofing with the fall of the separation pressure-proofing by the above-mentioned vena contracta.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

MEANS

[Means for Solving the Problem] This invention is set to invention according to claim 1 in order to attain the above-mentioned purpose. The process which joins the 2nd semi-conductor substrate through the 1st insulator layer on the front face of the 1st semi-conductor substrate, The process which forms a mask on the front face of said 2nd semi-conductor substrate, and the process which forms the separation slot which etches said 2nd semi-conductor substrate using said mask, and reaches said 1st insulator layer, The process etched until it reaches said 1st semi-conductor substrate in said 1st insulator layer of said separation Mizouchi using said mask succeedingly, The process which etches said 1st semi-conductor substrate of said separation Mizouchi using said mask succeedingly, Oxidize the side-attachment-wall front face of said 2nd semi-conductor substrate of said separation Mizouchi, and the front face of said 1st semi-conductor substrate by the oxidizing [thermally] method, and said 1st insulator layer and the 2nd touching insulator layer are formed in the wall section of said separation slot. It is characterized by having the process which forms in said 2nd semi-conductor substrate the component formation field by which insulating separation was carried out in said separation slot.

[0009] The process which joins the 2nd semi-conductor substrate through the 1st insulator layer in invention according to claim 2 on the front face of the 1st semi-conductor substrate, The process which forms a mask on the front face of said 2nd semi-conductor substrate, and the process which forms the separation slot which etches said 2nd semi-conductor substrate using said mask, and reaches said 1st insulator layer, The process etched until it reaches said 1st semi-conductor substrate in said 1st insulator layer of said separation Mizouchi using said mask succeedingly, Oxidize the side-attachment-wall front face of said 2nd semi-conductor substrate of said separation Mizouchi, and the front face of said 1st semi-conductor substrate by the oxidizing [thermally] method, and said 1st insulator layer and the 2nd touching insulator layer are formed in the wall section of said separation slot. It is characterized by having the process which forms in said 2nd semi-conductor substrate the component formation field by which insulating separation was carried out in said separation slot.

[0010] In invention according to claim 3, said mask is characterized by consisting of two or more mask layers so that it may become a different mask in said two or more etching processes in invention according to claim 1 or 2. The process which joins the 2nd semi-conductor substrate through the 1st insulator layer in invention according to claim 4 on the front face of the 1st semi-conductor substrate, the front face of said 2nd semi-conductor substrate — this — through the 2nd semi-conductor substrate and said 1st insulator layer with the process which forms a separation slot until it reaches said 1st semi-conductor substrate at least Oxidize the side-attachment-wall front face of said 2nd semi-conductor substrate of said separation Mizouchi, and the front face of said 1st semi-conductor substrate by the oxidizing [thermally] method, and said 1st insulator layer and the 2nd touching insulator layer are formed in the wall section of said separation slot. It is characterized by having the process which forms in said 2nd semi-conductor substrate the component formation field by which insulating separation was carried out in said separation slot.

[0011] in invention according to claim 5, junction formation of the 1st semi-conductor substrate and the 2nd semi-conductor substrate is carried out through the 1st insulator layer — both The

THIS PAGE BLANK (USPTO)

separation slot until it reaches said 1st insulator layer at least from the front face of said 2nd semi-conductor substrate is formed. The process which prepares the semi-conductor substrate which the 2nd insulator layer is formed in the side-attachment-wall front face of said 2nd semi-conductor substrate of this separation Mizouchi, and comes to form the edge section between said 1st insulator layer, It is characterized by having the process which enlarges the radius of curvature of said edge section, and the process which embeds at said separation Mizouchi where the radius of curvature of said edge section is enlarged according to this process, and is filled up with a member.

[0012] In invention according to claim 6, the process which prepares said semi-conductor substrate in invention according to claim 5 The process which joins the 2nd semi-conductor substrate through the 1st insulator layer on the front face of said 1st semi-conductor substrate, the front face of said 2nd semi-conductor substrate — this — with the 2nd semi-conductor substrate and the process which forms a separation slot until it reaches said 1st insulator layer at least It is characterized by having the process which forms said 2nd insulator layer which oxidizes the side-attachment-wall front face of said 2nd semi-conductor substrate of said separation Mizouchi, and the front face of said 1st semi-conductor substrate by the oxidizing [thermally] method, and touches said 1st insulator layer at the wall section of said separation slot.

[0013] In invention according to claim 7, the process which enlarges the radius of curvature of said edge section is characterized by being the process which etches into said separation Mizouchi in invention according to claim 5 or 6. In invention according to claim 8, in invention according to claim 5 or 6, the process which enlarges the radius of curvature of said edge section deposits polycrystalline silicon on said separation Mizouchi, and is characterized by being the process which oxidizes it.

[0014] In invention according to claim 9, it is characterized by being that to which only the part performs oxidation of said separation Mizouchi's polycrystalline silicon in invention according to claim 7. In invention according to claim 10, the process which enlarges the radius of curvature of said edge section is characterized by being the process which forms a nitride in said separation Mizouchi in invention according to claim 5 or 6.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

EXAMPLE

[Example] Hereafter, the example of this invention is explained with reference to a drawing.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view for every process showing the 1st example of this invention.

[Drawing 2] It is the sectional view showing the 2nd example of this invention.

[Drawing 3] It is the sectional view for every process showing the 3rd example of this invention.

[Drawing 4] It is the property Fig. showing the relation between the radius of curvature of the convex cavernous section, and etching time.

[Drawing 5] It is the property Fig. showing the relation between the radius of curvature of the convex cavernous section, and disruptive strength.

[Drawing 6] It is the property Fig. showing the relation between the radius of curvature of the convex cavernous section, and withstand voltage.

[Drawing 7] It is the sectional view of a partial process showing the 4th example of this invention.

[Drawing 8] It is the sectional view showing the 5th example of this invention.

[Drawing 9] It is the sectional view showing the 6th example of this invention.

[Drawing 10] It is the sectional view showing the configuration of the conventional semiconductor device.

[Drawing 11] It is the sectional view for every process showing how to manufacture the conventional semiconductor device.

[Description of Notations]

1 Silicon Support Substrate (1st Semi-conductor Substrate)

2 Silicon Substrate (2nd Semi-conductor Substrate)

3 Embedding Oxide Film (1st Insulator Layer)

4 Oxide Film (Mask)

5 Trench (Separation Slot)

8 Oxide Film (2nd Insulator Layer)

11 Polycrystalline Silicon (Embedding Member)

[Translation done.]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-335735

(43)公開日 平成7年(1995)12月22日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/76

H 0 1 L 21/ 76

L

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21)出願番号 特願平6-123912

(22)出願日 平成6年(1994)6月6日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 氷見 啓明

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 岡山 靖

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 山口 仁

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

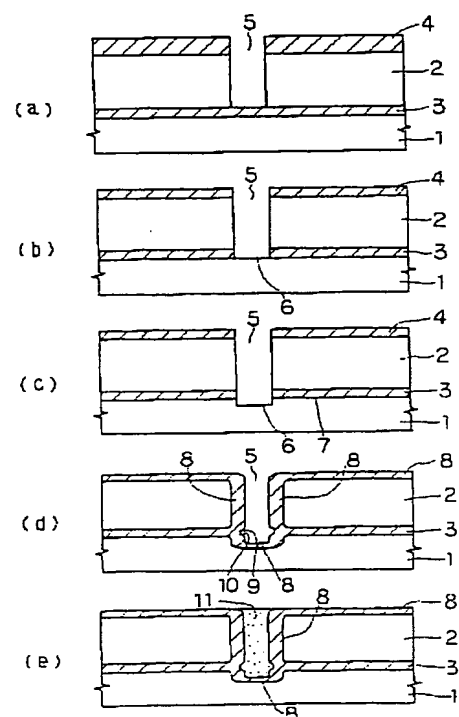
(74)代理人 弁理士 伊藤 洋二

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 埋め込み酸化膜と側壁酸化膜間に形成されるくびれによる分離耐圧の低下を防ぎ、高耐圧の素子分離された半導体装置を製造する方法を提供する。

【構成】 シリコン支持基板1とシリコン基板2が埋め込み酸化膜3を介して接合され、このシリコン基板2の表面上にマスクとしての酸化膜4を形成する。そして、このマスクを用いてシリコン基板2、埋め込み酸化膜3、さらにシリコン支持基板1をエッチングする。そして、熱酸化法により分離溝5内のシリコン基板2の側壁表面およびシリコン支持基板1の表面を酸化して分離溝5の内壁部に埋め込み酸化膜3と接する酸化膜8を形成する。最後に、分離溝5内に多結晶シリコン11を埋め込み、平坦化する。



【特許請求の範囲】

【請求項 1】 第 1 の半導体基板の表面上に第 1 の絶縁膜を介して第 2 の半導体基板を接合する工程と、前記第 2 の半導体基板の表面上にマスクを形成する工程と、前記マスクを用いて前記第 2 の半導体基板をエッチングし、前記第 1 の絶縁膜に達する分離溝を形成する工程と、引き続き前記マスクを用いて前記分離溝内の前記第 1 の絶縁膜を前記第 1 の半導体基板に達するまでエッチングする工程と、引き続き前記マスクを用いて前記分離溝内の前記第 1 の半導体基板をエッチングする工程と、熱酸化法により前記分離溝内の前記第 2 の半導体基板の側壁表面および前記第 1 の半導体基板の表面を酸化して前記分離溝の内壁部に前記第 1 の絶縁膜と接する第 2 の絶縁膜を形成し、前記第 2 の半導体基板に前記分離溝によって絶縁分離された素子形成領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 第 1 の半導体基板の表面上に第 1 の絶縁膜を介して第 2 の半導体基板を接合する工程と、前記第 2 の半導体基板の表面上にマスクを形成する工程と、前記マスクを用いて前記第 2 の半導体基板をエッチングし、前記第 1 の絶縁膜に達する分離溝を形成する工程と、引き続き前記マスクを用いて前記分離溝内の前記第 1 の絶縁膜を前記第 1 の半導体基板に達するまでエッチングする工程と、熱酸化法により前記分離溝内の前記第 2 の半導体基板の側壁表面および前記第 1 の半導体基板の表面を酸化して前記分離溝の内壁部に前記第 1 の絶縁膜と接する第 2 の絶縁膜を形成し、前記第 2 の半導体基板に前記分離溝によって絶縁分離された素子形成領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3】 前記マスクは、前記複数のエッチング工程において異なるマスクとなるように複数のマスク層から構成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 第 1 の半導体基板の表面上に第 1 の絶縁膜を介して第 2 の半導体基板を接合する工程と、前記第 2 の半導体基板の表面より該第 2 の半導体基板および前記第 1 の絶縁膜を介し、少なくとも前記第 1 の半導体基板に達するまでの分離溝を形成する工程と、熱酸化法により前記分離溝内の前記第 2 の半導体基板の側壁表面および前記第 1 の半導体基板の表面を酸化して前記分離溝の内壁部に前記第 1 の絶縁膜と接する第 2 の絶縁膜を形成し、前記第 2 の半導体基板に前記分離溝によって絶縁分離された素子形成領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 5】 第 1 の絶縁膜を介して第 1 の半導体基板と第 2 の半導体基板が接合形成されるとともに、前記第 2 の半導体基板の表面から少なくとも前記第 1 の絶縁膜に達するまでの分離溝が形成されており、該分離溝内の前記第 2 の半導体基板の側壁表面に第 2 の絶縁膜が形成されて、前記第 1 の絶縁膜との間にエッジ部を形成してなる半導体基板を用意する工程と、前記エッジ部の曲率半径を大きくする工程と、この工程により前記エッジ部の曲率半径を大きくした状態で前記分離溝内に埋め込み部材を充填する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6】 前記半導体基板を用意する工程は、前記第 1 の半導体基板の表面上に第 1 の絶縁膜を介して第 2 の半導体基板を接合する工程と、前記第 2 の半導体基板の表面より該第 2 の半導体基板および少なくとも前記第 1 の絶縁膜に達するまでの分離溝を形成する工程と、熱酸化法により前記分離溝内の前記第 2 の半導体基板の側壁表面および前記第 1 の半導体基板の表面を酸化して前記分離溝の内壁部に前記第 1 の絶縁膜と接する前記第 2 の絶縁膜を形成する工程とを有することを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 7】 前記エッジ部の曲率半径を大きくする工程は、前記分離溝内にエッチングを施す工程であることを特徴とする請求項 5 又は 6 に記載の半導体装置の製造方法。

【請求項 8】 前記エッジ部の曲率半径を大きくする工程は、前記分離溝内に多結晶シリコンを堆積し、それを酸化する工程であることを特徴とする請求項 5 又は 6 に記載の半導体装置の製造方法。

【請求項 9】 前記分離溝内の多結晶シリコンの酸化はその一部分のみ行うものであることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 10】 前記エッジ部の曲率半径を大きくする工程は、前記分離溝内に窒化膜を形成する工程であることを特徴とする請求項 5 又は 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は素子分離された半導体装置の製造方法に関するもので、特に高耐圧な素子分離に関するものである。

【0002】

【従来の技術】 半導体集積回路の素子間を絶縁分離する方法として、図 10 に示すように、第 1 の半導体基板 101 と第 2 の半導体基板 102 との間にサンドイッチ状の埋め込み酸化膜 103 を有する SOI (Silicon On Insulator) 構造基板を用い、第 2 の半導体基板 102 の主面から埋め込み酸化膜 102 に到るトレンチ (分離溝) を形成し、しかる後、そのトレンチ内壁を熱酸化

法等を用いて酸化膜104で覆い、さらにその内部を埋め込み部材105で埋設し表面を平坦化するようにしたものが種々提案されている。この埋め込み部材105としてはシリコン基板との熱膨張係数を考慮して多結晶シリコンが多く用いられているがCVDによる酸化シリコン等を用いることもできる。

【0003】この方法によれば、逆バイアスされたPN接合を用いて素子間を分離する方法に比べて、リーク電流がなくかつ電圧極性の依存性がなくかつ耐圧の高い確実な分離を行うことができる。しかしながら、この方法の第1の問題点は、トレンチ内部の酸化時にトレンチ底部コーナにおいて、2次元形状からくる制約のため、図10の○印で示すくびれ（エッジ部）が生ずることである。このくびれが生ずる過程は次のように説明できる。すなわち、トレンチ底部コーナの酸化においては、トレンチ側壁から壁に対して垂直方向に成長する酸化膜と、トレンチ底面から上方へ成長する酸化膜とがコーナ部において出会うため、その場所で互いに他の酸化膜の成長が妨げられ体積膨張ができず、その結果くびれが生ずるのである。このくびれの先端は鋭いエッジ形状となるところから、電界集中がおこり耐圧の低下を招くので問題である。

【0004】また、第2の問題点は、トレンチ底部コーナにおいて酸化の進行に伴い応力集中が起こることである。この理由も先と同様、2次元形状の制約からくるものである。応力集中が起きるとそれが原因となって結晶欠陥が発生し素子の電気特性の低下を招くので問題である。また、同じくSOI基板にトレンチを形成して素子間を絶縁分離する他の分離方法として特公平5-80148号公報に開示された方法がある。

【0005】この方法は、図11に示すように埋め込み酸化膜103に到達するようにトレンチ106を形成（図11（a））した後に、エッチングに用いた絶縁膜よりなるマスクおよび埋め込み酸化膜を等方性エッチングを用いて適当な量だけエッチングしてトレンチ上部および底部コーナのシリコンを露出させ（図11

（b））、さらに露出した部分のシリコンを等方的にエッチングし（図11（c））、しかる後、熱酸化法でトレンチ内壁に酸化膜を形成（図11（d））するものである。この方法ではトレンチコーナ部が丸められる結果、結晶欠陥の発生が抑制されるという効果がある。

【0006】しかしながら、この方法においても図11（d）に○印で示すように、えぐれた埋め込み酸化膜のコーナのところから成長した酸化膜がトレンチ底部から成長した酸化膜と出会うところで、先ほどの図10で示したのと同様な鋭いエッジ形状が形成される。従って、このものにおいても先と同様電界集中が起こり耐圧の低下を招くことになる。

【0007】

【発明が解決しようとする課題】本発明は上記問題に鑑

みてなされたもので、上記くびれによる分離耐圧の低下を軽減または防ぎ、もって高耐圧の素子分離された半導体装置を製造する方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は上記目的を達成するため、請求項1に記載の発明においては、第1の半導体基板の表面上に第1の絶縁膜を介して第2の半導体基板を接合する工程と、前記第2の半導体基板の表面上にマスクを形成する工程と、前記マスクを用いて前記第2の半導体基板をエッチングし、前記第1の絶縁膜に達する分離溝を形成する工程と、引き続き前記マスクを用いて前記分離溝内の前記第1の絶縁膜を前記第1の半導体基板に達するまでエッチングする工程と、引き続き前記マスクを用いて前記分離溝内の前記第1の半導体基板をエッチングする工程と、熱酸化法により前記分離溝内の前記第2の半導体基板の側壁表面および前記第1の半導体基板の表面を酸化して前記分離溝の内壁部に前記第1の絶縁膜と接する第2の絶縁膜を形成し、前記第2の半導体基板に前記分離溝によって絶縁分離された素子形成領域を形成する工程とを有することを特徴としている。

【0009】請求項2に記載の発明においては、第1の半導体基板の表面上に第1の絶縁膜を介して第2の半導体基板を接合する工程と、前記第2の半導体基板の表面上にマスクを形成する工程と、前記マスクを用いて前記第2の半導体基板をエッチングし、前記第1の絶縁膜に達する分離溝を形成する工程と、引き続き前記マスクを用いて前記分離溝内の前記第1の絶縁膜を前記第1の半導体基板に達するまでエッチングする工程と、熱酸化法により前記分離溝内の前記第2の半導体基板の側壁表面および前記第1の半導体基板の表面を酸化して前記分離溝の内壁部に前記第1の絶縁膜と接する第2の絶縁膜を形成し、前記第2の半導体基板に前記分離溝によって絶縁分離された素子形成領域を形成する工程とを有することを特徴としている。

【0010】請求項3に記載の発明では、請求項1又は2に記載の発明において、前記マスクは、前記複数のエッチング工程において異なるマスクとなるように複数のマスク層から構成されていることを特徴としている。請求項4に記載の発明においては、第1の半導体基板の表面上に第1の絶縁膜を介して第2の半導体基板を接合する工程と、前記第2の半導体基板の表面より該第2の半導体基板および前記第1の絶縁膜を介し、少なくとも前記第1の半導体基板に達するまでの分離溝を形成する工程と、熱酸化法により前記分離溝内の前記第2の半導体基板の側壁表面および前記第1の半導体基板の表面を酸化して前記分離溝の内壁部に前記第1の絶縁膜と接する第2の絶縁膜を形成し、前記第2の半導体基板に前記分離溝によって絶縁分離された素子形成領域を形成する工程とを有することを特徴としている。

【0011】請求項5に記載の発明においては、第1の絶縁膜を介して第1の半導体基板と第2の半導体基板が接合形成されるとともに、前記第2の半導体基板の表面から少なくとも前記第1の絶縁膜に達するまでの分離溝が形成されており、該分離溝内の前記第2の半導体基板の側壁表面に第2の絶縁膜が形成されて、前記第1の絶縁膜との間にエッジ部を形成してなる半導体基板を用意する工程と、前記エッジ部の曲率半径を大きくする工程と、この工程により前記エッジ部の曲率半径を大きくした状態で前記分離溝内に埋め込み部材を充填する工程とを有することを特徴としている。

【0012】請求項6に記載の発明では、請求項5に記載の発明において、前記半導体基板を用意する工程は、前記第1の半導体基板の表面上に第1の絶縁膜を介して第2の半導体基板を接合する工程と、前記第2の半導体基板の表面より該第2の半導体基板および少なくとも前記第1の絶縁膜に達するまでの分離溝を形成する工程と、熱酸化法により前記分離溝内の前記第2の半導体基板の側壁表面および前記第1の半導体基板の表面を酸化して前記分離溝の内壁部に前記第1の絶縁膜と接する前記第2の絶縁膜を形成する工程とを有することを特徴としている。

【0013】請求項7に記載の発明では、請求項5又は6に記載の発明において、前記エッジ部の曲率半径を大きくする工程は、前記分離溝内にエッチングを施す工程であることを特徴としている。請求項8に記載の発明では、請求項5又は6に記載の発明において、前記エッジ部の曲率半径を大きくする工程は、前記分離溝内に多結晶シリコンを堆積し、それを酸化する工程であることを特徴としている。

【0014】請求項9に記載の発明では、請求項7に記載の発明において、前記分離溝内の多結晶シリコンの酸化はその一部分のみ行うものであることを特徴としている。請求項10に記載の発明では、請求項5又は6に記載の発明において、前記エッジ部の曲率半径を大きくする工程は、前記分離溝内に窒化膜を形成する工程であることを特徴としている。

【0015】

【発明の作用効果】請求項1に記載の発明においては、第1の半導体基板と第2の半導体基板が第1の絶縁膜を介して接合され、この第2の半導体基板の表面上にマスクを形成する。そして、このマスクを用いて第2の半導体基板、第1の絶縁膜、さらに第1の半導体基板をエッチングする。そして、熱酸化法により分離溝内の第2の半導体基板の側壁表面および第1の半導体基板の表面を酸化して分離溝の内壁部に第1の絶縁膜と接する第2の絶縁膜を形成する。このことによって、第2の半導体基板に分離溝によって絶縁分離された素子形成領域が形成される。

【0016】従って、第1の半導体基板内にまで形成さ

れた分離溝を酸化することにより、分離溝内に形成される第2の絶縁膜が第1の絶縁膜に滑らかに覆いかぶさるように形成される。その結果、上述したくびれに基づく鋭いエッジが形成されず、よって耐圧の低下を防ぐことが可能となる。請求項2、4に記載の発明においては、第2の半導体基板の表面より第1の絶縁膜を介して、第1の半導体基板に達するまでの分離溝を形成し、その分離溝内の第2の半導体基板の側壁表面および第1の半導体基板の表面を酸化して分離溝の内壁部に第1の絶縁膜と接する第2の絶縁膜を形成するようにしている。

【0017】従って、第1の半導体に達するまで形成された分離溝を酸化することにより、第2の半導体基板の側壁表面に形成される酸化膜は、第1の絶縁膜に接する部分で第1の絶縁膜に滑らかに覆いかぶさるように形成される。この場合、第1半導体基板の表面に形成される酸化膜は上方の空間へ向かって成長し第1の絶縁膜との間でくびれに基づく鋭いエッジが形成されるのであるが、このエッジは第2の半導体基板のコーナおよび底部からは少なくとも第1の絶縁膜の厚みに等しい距離以上離れているので、耐圧低下に及ぼす影響を抑えることができる。

【0018】請求項5乃至10に記載の発明においては、分離溝内の第2の半導体基板の側壁表面に側壁酸化膜が形成されて、第1の絶縁膜との間にエッジ部を有してなる半導体基板に対し、そのエッジ部の曲率半径を大きくする工程を設け、この工程によりエッジ部の曲率半径を大きくした状態で分離溝内に埋め込み部材を充填するようにしている。

【0019】従って、上述した従来の方法のように丸め処理した後の酸化ではなく、酸化により側壁酸化膜等を形成した後に、エッジ部の曲率半径を大きくし埋め込み部材の充填を行うようにしているから、分離溝内のエッジ部による電界集中を緩和し高耐圧化を図ることができる。

【0020】

【実施例】以下、図面を参照して本発明の実施例を説明する。

（第1実施例）図1は本発明の第1実施例に係わる半導体装置の製造方法を示す工程ごとの断面図である。

【0021】まず、図1(a)に示すように、シリコン支持基板1（第1の半導体基板）と素子形成用のシリコン基板2（第2の半導体基板）を埋め込み酸化膜3（第1の絶縁膜）を介して直接接合法により接合する。埋め込み酸化膜3は、その接合に先立ち、素子形成用基板2または支持基板1の両方もしくはいずれか一方の基板表面に例えば熱酸化法等により予め形成しておく。その後、シリコン基板2の素子形成用主面上に熱酸化法またはCVD法等により酸化膜4を形成する。この酸化膜4を所定形状にパターニングし、これをマスクとして反応性イオンエッチング法を用いたトレンチエッチング技術

によりシリコン基板 2 を埋め込み酸化膜 3 に到るまで深溝状（例えば幅略 $2 \mu\text{m}$ 、深さ略 $10 \mu\text{m}$ ）にエッチング除去し、トレンチ 5 を形成する。

【0022】次に、図 1（b）に示すように、今度は反応ガスを酸化膜の異方性エッチング用に切り替えて引き続き異方性エッチングを行い、トレンチ 5 の底部 6 が支持基板 1 に到達するようにする。次に、図 1（c）に示すように、再び反応ガスをシリコントレンチエッチング用に切り替えてエッチングを継続し、トレンチ底部 6 が支持基板 1 と埋め込み酸化膜 3 の界面 7 より下になるようにする。

【0023】以上のエッチング過程を通じて酸化膜 4 をシリコン基板 2 上に所定形状を保って残留するように酸化膜 4 の膜厚 t_{oxm} を設定する。すなわち、トレンチエッチングにおけるシリコンと酸化膜の選択比を r （単位時間当たりのシリコンのエッチング量／単位時間当たりの酸化膜のエッチング量）、シリコン基板 2 の厚みを t_{soi} 、埋め込み酸化膜の厚みを t_{box} 、支持基板 1 のエッチング深さを t_{ovr} とすると、

【0024】

【数 1】

$$t_{\text{oxm}} \geq (t_{\text{soi}} / r) + t_{\text{box}} + (t_{\text{ovr}} / r)$$

となるように酸化膜 4 の膜厚 t_{oxm} を設定する。これはトレンチエッチングにより埋め込み酸化膜 3 に到るまで酸化膜 4 をマスクとしてシリコン基板 2 をエッチングし、次にエッチングガスを切り替えて埋め込み酸化膜 3 をエッチング除去し、再び反応ガスをシリコンのトレンチエッチング用ガスに切り替えて、シリコン基板 2 上に残った酸化膜 4 よりなるマスクをそのままマスクとして用い支持基板 1 を所定量だけオーバエッチし得るに足る最低限の膜厚である。

【0025】次に、エッチングを終了した基板を洗浄して、トレンチ 5 側壁の反応生成物を除去すると同時にマスク材としての酸化膜 4 を除去し、その後、熱酸化法によりシリコン基板 2 の表面および溝底部に露出した支持基板 1 の表面に酸化膜 8（第 2 の絶縁膜）を埋め込み酸化膜 3 に接するように形成する（図 1（d））。なお、マスク材については、工程を簡略化する場合、マスク材の除去を行わずそのまま酸化膜 8 を形成するようにしてもよい。

【0026】このようにして、トレンチ 5 の側壁に形成された酸化膜 8 は埋め込み酸化膜 3 に接する部分 9 および 10 で埋め込み酸化膜 3 端部に滑らかに覆いかぶさるように形成される。この結果、図 10 に○印で示したような従来技術において電界集中を引き起こすので問題であった酸化膜のくびれに基づく鋭いエッジ形状が形成されることがなくなり耐圧の低下を防ぐことが可能となる。

【0027】この後、図 1（e）に示すように、トレンチ 5 内部を多結晶シリコン 11 で埋設、平坦化して通常

のデバイス工程によりシリコン基板 2 中に素子を形成して、個別素子毎もしくはブロック毎に埋め込み酸化膜 3 とトレンチ 5 内部の酸化膜 8 で絶縁分離され、所期の絶縁分離耐圧を持つ絶縁体分離半導体装置を得る。なお、上記実施例においては、トレンチエッチングのマスクとして用いる絶縁膜として、酸化膜 4 よりなる単層膜を用いたが、2 つ以上の絶縁膜からなる多層のマスク層を用い、複数のエッチングに対応して使用するマスクが異なるようにしてもよい。

【0028】例えば、最上層がシリコン酸化膜またはシリコン窒化膜、中間層がシリコン、最下層がシリコン酸化膜またはシリコン窒化膜からなる 3 層膜を用いることができる。ここで、シリコン酸化膜またはシリコン窒化膜からなる最上層はシリコンのエッチングに対する選択比が大きな膜であり、シリコン基板 2 をエッチングする際のマスクとして用いられる。また、中間層として用いるシリコンは埋め込み酸化膜 3 をエッチングする際のマスクの役割をするものであり、シリコン（多結晶シリコンもしくは非晶質シリコン）を用いるのは酸化膜に対する選択比を大きく設定することができるからである。最下層に用いるシリコン酸化膜またはシリコン窒化膜は、支持基板 1 をエッチングする際のマスクとなるものである。

【0029】なお、上記最上層および最下層に用いるマスク材料としては、シリコンに対するトレンチエッチングの選択比が高いものであれば上記の材料に限定されるものではない。同様に中間層として用いるマスク材料は酸化膜に対するエッチングの選択比が高いものであれば上記の材料に限定されるものではない。また、2 層膜をマスクとして用いた場合にあっては、上層がシリコン酸化膜、下層がシリコン窒化膜からなる 2 層膜で構成される。上層のシリコン酸化膜は選択比の関係からシリコン基板 2 をトレンチエッチングする最のマスクとして、下層のシリコン窒化膜は埋め込み酸化膜 3 と支持基板 1 をエッチングする際のマスクとして用いるものである。

（第 2 実施例）図 2 に本発明の第 2 実施例を示す。この第 2 実施例においては、図 1 に示す第 1 実施例と異なり、図 1（b）において酸化膜 4 をマスクとして支持基板 1 に到達するまで埋め込み酸化膜 3 をエッチングした後、図 1（c）に示したような支持基板 1 のエッチングは行わず、直ちに図 1（d）に示したのと同様な側壁酸化工程を行うものである。

【0030】この結果、トレンチ 5 内部の形状は図 2 に示すようになる。すなわち、シリコン基板 2 の表面に酸化膜 8 が埋め込み酸化膜 3 に接するように形成される。このようにしてトレンチ 5 側壁に形成された酸化膜 8 は埋め込み酸化膜 3 に接する部分 9 では第 1 実施例と同様、埋め込み酸化膜 3 端部に滑らかに覆いかぶさるように形成されるが、底部コーナ部分 12 では埋め込み酸化膜 3 端部の下へ潜り込むような形状となる。その結果、

底部コーナ部分 12 では埋め込み酸化膜 3 のくびれに基づく鋭いエッジが形成されるのであるが、トレンチ 5 底部が埋め込み酸化膜 3 を取り除き支持基板 1 に到達するように形成されているので、上記エッジは素子形成用シリコン基板 2 のコーナおよび底部からは少なくとも埋め込み酸化膜 3 の厚みに等しい距離以上離れている。従って、この第 2 実施例によれば耐圧低下におよぼす影響を最小限に抑えることができる。

【0031】なお、上記第 2 実施例にあつてはトレンチエッチングのマスクとして用いる絶縁膜として、酸化膜 4 よりなる単層膜を用いたが、多層膜で最上層がシリコン酸化膜またはシリコン窒化膜、中間層がシリコン、最下層がシリコン窒化膜からなる 3 層膜か、もしくは上層がシリコン酸化膜、下層がシリコン窒化膜からなる 2 層膜を用いるというように、複数のエッチングに対応して使用するマスクが異なるようにしてもよい。

【0032】すなわち、最上層のシリコン酸化膜またはシリコン窒化膜をマスクとしてシリコン基板 2 のトレンチエッチングを行い、次に中間層のシリコン（多結晶シリコンもしくは非晶質シリコン）をマスクとして埋め込み酸化膜 3 のエッチングを行う。最下層のシリコン窒化膜は、シリコン基板 2 と、マスクとして用いたシリコンの境界を区別するために挿入したものであつて、埋め込み酸化膜 3 のエッチングが終了した後に、シリコン窒化膜が露出するように多層膜の膜厚を設定しておく。こうすることによって埋め込み酸化膜 3 のエッチングが終了した後、シリコン窒化膜をリン酸等を用いて選択的にエッチング除去することにより、所期の形状を得る。

【0033】また、2 層膜を用いた場合にあっては、上層のシリコン酸化膜をマスクとしてシリコン基板 2 のトレンチエッチングを行い、下層のシリコン窒化膜をマスクとして埋め込み酸化膜 3 のエッチングを行う。この後、シリコン窒化膜をリン酸等を用いて選択的にエッチング除去することにより、所期の形状を得る。なお、この第 2 実施例において用いられるマスク材料は上記第 1 実施例のところで述べたのと同様の基準に基づいて選択されるものであつて、被エッチング対象に対する選択比が高いものであれば上記実施例に記載された材料に限定されるものではない。

（第 3 実施例）次に、上述した埋め込み酸化膜 3 のくびれに基づく鋭いエッジに対し、そのエッジ部の曲率半径を増加させるようにして絶縁耐圧を向上させるようにした第 3 実施例について説明する。

【0034】図 3 に第 3 実施例の製造方法を示す。まず、図 3 (a) に示すように、支持基板 1 と素子形成用のシリコン基板 2 を埋め込み酸化膜 3 を介して直接接合法により接合し、酸化膜 4 を形成した後、この酸化膜 4 を所定形状にパターニングし、これをマスクとして反応性イオンエッチング法を用いたトレンチエッチング技術によりシリコン基板 2 を埋め込み酸化膜 3 に到るまで深

溝状にエッチング除去し、トレンチ 5 を形成する。

【0035】次に、マスク材としての酸化膜 4 を除去した後、熱酸化法等を用いて、トレンチ 5 側壁に酸化膜 8 を形成し、図 3 (b) の構成を得る。この状態においては、トレンチ 5 の底部形状は図に示すように鋭いエッジ部（このエッジ部が形成されている部分を凸部空洞部という）を有するものとなっている。次に、希 HF 溶液で、エッチングし、図 3 (c) に示すように、上記エッジの曲率半径を大きくし、最後に図 1 (e) と同様、トレンチ 5 内を多結晶シリコン 11 で埋設、平坦化する（図 3 (d)）。

【0036】ここで、上記図 3 (b) に示すエッジ部の曲率半径は $0.02 \mu\text{m}$ 程度であるが、この状態から図 3 (c) に示すように HF エッチングを行うことにより、トレンチ 5 内は等方的にエッチングされるので、凸状空洞部の曲率半径は、もともとの曲率半径 $0.02 \mu\text{m}$ 程度 + HF エッチング量の和となる。また、HF エッチング量は HF エッチング時間に比例するので、HF 溶液の濃度をパラメータとして、曲率半径とエッチング時間は図 4 に示す関係となる。

【0037】ここで、HF エッチング条件を変え、曲率半径を変化させたときの破壊強度（＝絶縁耐圧／側壁酸化膜厚 $\times 2$ ）を実際に測定した結果を図 5 に示す。曲率半径が小さくなるにつれ破壊強度が低下することがわかる。側壁酸化膜 8 の膜厚は、エッチングにより、エッチングする前の酸化膜厚 - HF エッチング量となるから、絶縁耐圧は、破壊強度 \times （エッチングする前の酸化膜厚 - HF エッチング量） $\times 2$ となる。

【0038】従って、破壊強度を図 5 から求めることにより、絶縁耐圧を予想することができる。例えば、エッチングする前の酸化膜厚を $0.7 \mu\text{m}$ とした場合、凸状空洞部の曲率半径と絶縁耐圧の関係は図 6 に示すようになる。この図から、HF エッチングにより曲率半径を約 $0.07 \mu\text{m}$ にした場合、絶縁耐圧が従来構造（曲率半径が約 $0.02 \mu\text{m}$ の場合）より約 10% 向上することがわかる。さらに、曲率半径を $0.05 \sim 0.10 \mu\text{m}$ にすることにより、耐圧が 5% 向上し、 $0.04 \sim 0.13 \mu\text{m}$ にすることで、耐圧が 3% 向上する。

【0039】この第 3 実施例においては、従来技術のようにトレンチ内のエッジの丸め処理を行った後に側壁酸化膜の形成を行うものでなく、側壁酸化膜 8 の形成後にトレンチ内のエッジ部の曲率半径の増加を行うものであるため、最終的に鋭いエッジ形状が形成されず、従って電界集中による耐圧の低下といった問題を解消することができる。

（第 4 実施例）この第 4 実施例は、図 3 (b) に示す側壁酸化膜 8 の形成後、多結晶シリコンを堆積し、それを酸化してトレンチ 5 内の酸化膜を厚くするようにしたものである。

【0040】すなわち、図 3 (b) に示す、側壁酸化膜

8の形成後、トレンチ5内に多結晶シリコン13を推積させる(図7(a))。多結晶シリコン13は減圧CVDを用いることによりカバレッジ性が良好となり、すきまなく推積することが可能である。この多結晶シリコン13をすべて熱酸化させることにより、図7(b)のように凸部空洞部の曲率半径を大きくすることができ、その結果電界集中が低減し、絶縁耐圧を向上させることができる。最後に図1(e)と同様、トレンチ5内を多結晶シリコン11で埋設、平坦化する。

【0041】この実施例によれば、凸部空洞部の曲率半径を大きくするのみならず、側壁酸化膜厚自体も厚くなるので、電界集中の緩和と酸化膜厚の増加との2つのすぐれた効果がある。例えば、多結晶シリコン13を0.05 μ m以上推積させ、この多結晶シリコン13を酸化させた場合、破壊強度(多結晶シリコン酸化膜厚を考慮して算出した)が大きくなることが確認できた。これは、酸化膜厚の増加のみならず、凸状空洞部の曲率半径が大きくなったため電界集中が緩和された効果によるものといえる。

(第5実施例) 上記第4実施例では、多結晶シリコン13を全て熱酸化させるようにするものを示したが、多結晶シリコン13の一部のみ酸化するようにしてもよい。すなわち、図3(b)に示す側壁酸化膜8の形成後、多結晶シリコン13を推積し、その一部のみ酸化して多結晶シリコン酸化膜13aを形成し、図8に示す構成を得る。この後、図1(e)と同じくトレンチ5内に多結晶シリコン11を推積させる。

【0042】この場合も上記第4実施例と同様、トレンチ5内の全体の酸化膜を厚くして絶縁耐圧を向上させることができる。この場合、多結晶シリコン13の熱酸化する膜厚は、電界集中による絶縁耐圧の低下分を補う分あればよい。例えば、凸状空洞部の曲率半径が0.02 μ m、側壁酸化膜8の膜厚が0.7 μ mの場合、絶縁耐圧=破壊強度 \times (側壁酸化膜厚 \times 2)であるから、絶縁耐圧は約530Vとなる。多結晶シリコン酸化膜13aの膜厚の破壊強度が約5MV/CMとすると、多結晶シリコン酸化膜13aの膜厚が約0.18 μ m以上であれば凸状空洞部での電界集中を補うことができる。

【0043】この第5実施例では、耐圧を向上させることができるのみならず、以下に示すような効果がある。第1に、同じ酸化膜厚であってもデバイス形成するSi(シリコン基板2)に与える応力を低減することができることである。一般に、シリコン酸化膜(SiO₂)とSiとの間にはその膨張係数の差から応力が残留している。この応力によりSiに欠陥が発生し、デバイス性能を劣化させるといった問題を引き起こしている。この実施例では、絶縁耐圧を受け持つ酸化膜厚は側壁酸化膜8と多結晶シリコン酸化膜13aの合計の膜厚となるが、Siに応力を発生させる酸化膜は側壁酸化膜8のみとなり、耐圧を確保しながら、Siに発生する欠陥を少

なくすることができる。

【0044】第2に、この実施例では耐圧を側壁酸化膜8と多結晶シリコン酸化膜13aの2つで受け持ったため、どちらか一方の酸化膜が絶縁破壊したとしても、もう一方の酸化膜で耐圧を確保することが出来る。従って、第4実施例のような1つの酸化膜により耐圧を持たせるものより、絶縁破壊の起こる確率を小さくすることができる。

(第6実施例) この実施例は、上記第4実施例の多結晶シリコン13の堆積の代わりに、図9に示すように窒化膜(SiN膜)14を堆積させるようにしたものである。この実施例においても上記第4実施例と同じく凸状空洞部にSiN膜14が埋め込まれ電界集中が緩和されることになる。SiN膜14は絶縁体であるので、この方法では電界集中の緩和のみならず絶縁体の膜厚(SiO₂膜厚+SiN膜厚)の増加による絶縁耐圧の向上という効果を有する。

【0045】なお、上記第3実施例以降の実施例においては、上記したような、支持基板1と素子形成用のシリコン基板2を埋め込み酸化膜3を介して接合し、その後に分離溝および側壁酸化膜8を形成するものに限らず、特開平2-966350号公報に示すように、予め素子形成用のシリコン基板に分離溝を形成するとともにそれに酸化膜を形成し、その後に支持基板1と接合して図3(b)に示すような半導体基板を形成するようにしたものを用いるようにしてもよい。

【0046】さらに、それらの実施例において、分離溝を埋め込み酸化膜3に達するものについて示したが、それに限らず埋め込み酸化膜3内にまで分離溝を形成するようにしたものであってもよい。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す各工程毎の断面図である。

【図2】本発明の第2実施例を示す断面図である。

【図3】本発明の第3実施例を示す各工程毎の断面図である。

【図4】凸状空洞部の曲率半径とエッチング時間との関係を示す特性図である。

【図5】凸状空洞部の曲率半径と破壊強度との関係を示す特性図である。

【図6】凸状空洞部の曲率半径と絶縁耐圧との関係を示す特性図である。

【図7】本発明の第4実施例を示す部分的工程の断面図である。

【図8】本発明の第5実施例を示す断面図である。

【図9】本発明の第6実施例を示す断面図である。

【図10】従来の半導体装置の構成を示す断面図である。

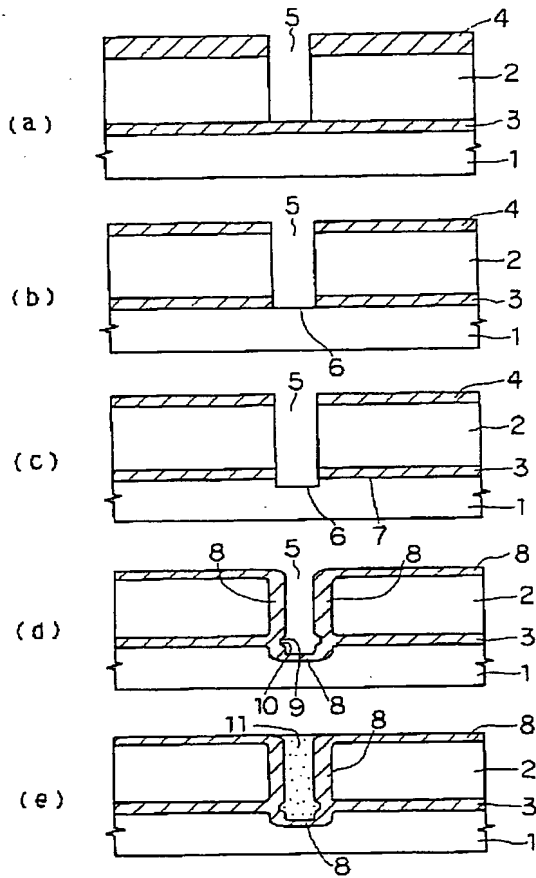
【図11】従来の半導体装置を製造する方法を示す工程毎の断面図である。

【符号の説明】

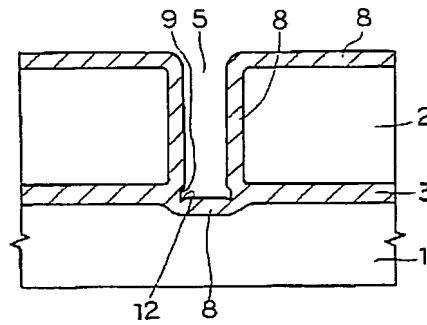
- 1 シリコン支持基板（第1の半導体基板）
 2 シリコン基板（第2の半導体基板）
 3 埋め込み酸化膜（第1の絶縁膜）

- 4 酸化膜（マスク）
 5 トレンチ（分離溝）
 8 酸化膜（第2の絶縁膜）
 11 多結晶シリコン（埋め込み部材）

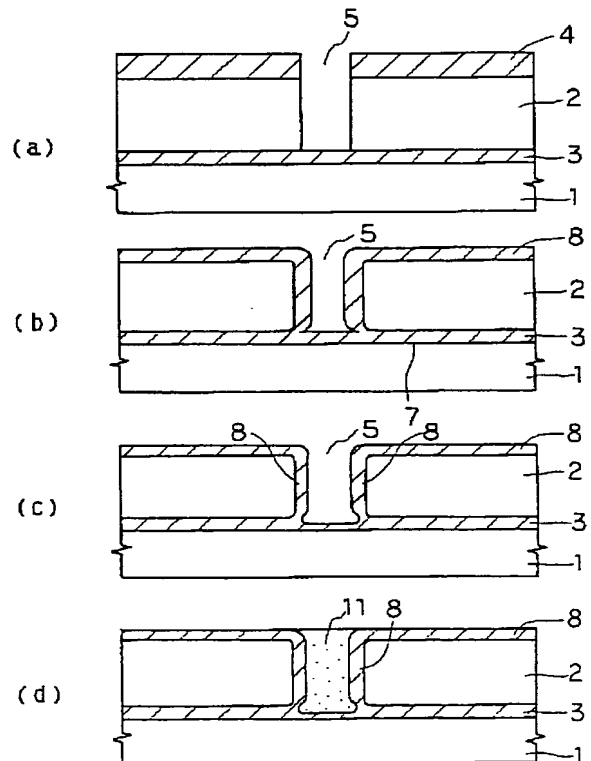
【図1】



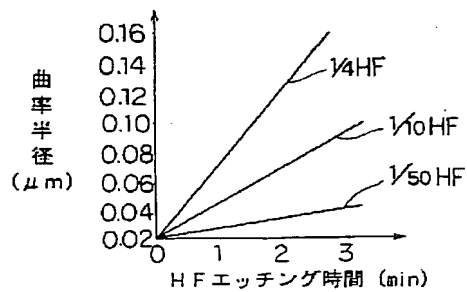
【図2】



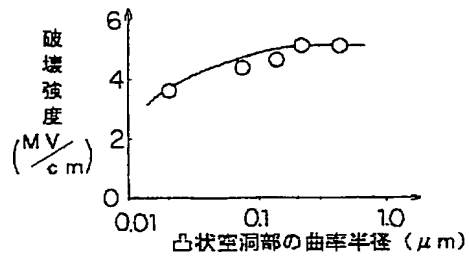
【図3】



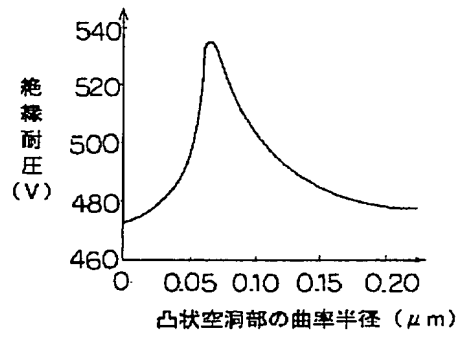
【図4】



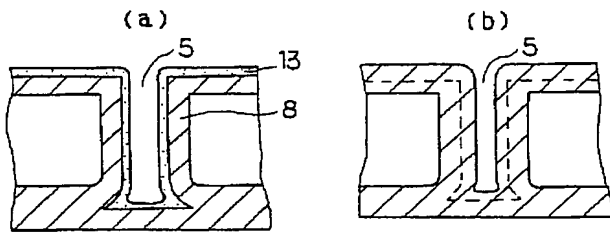
【図 5】



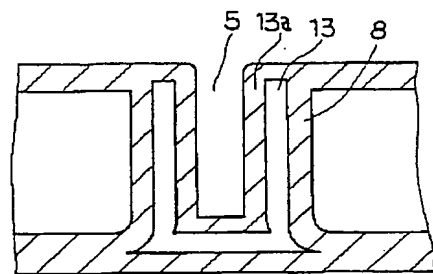
【図 6】



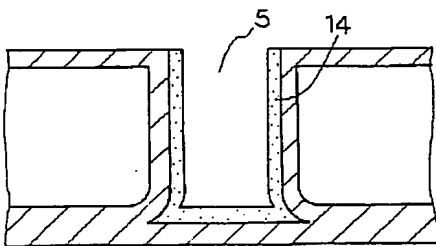
【図 7】



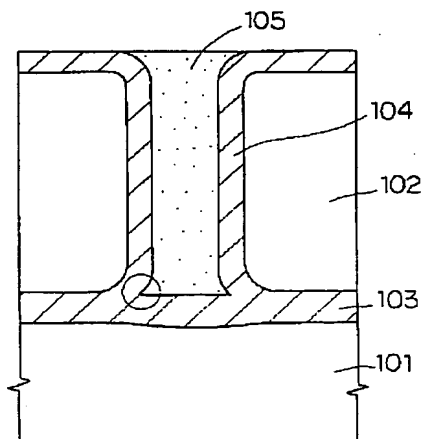
【図 8】



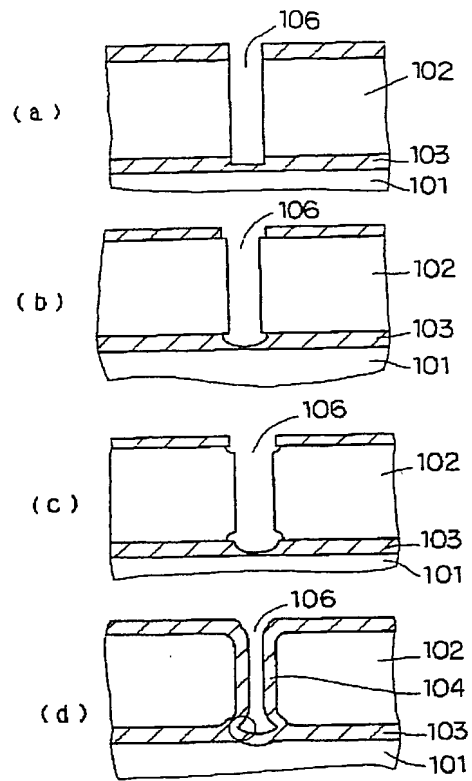
【図 9】



【図 10】



【図 11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)